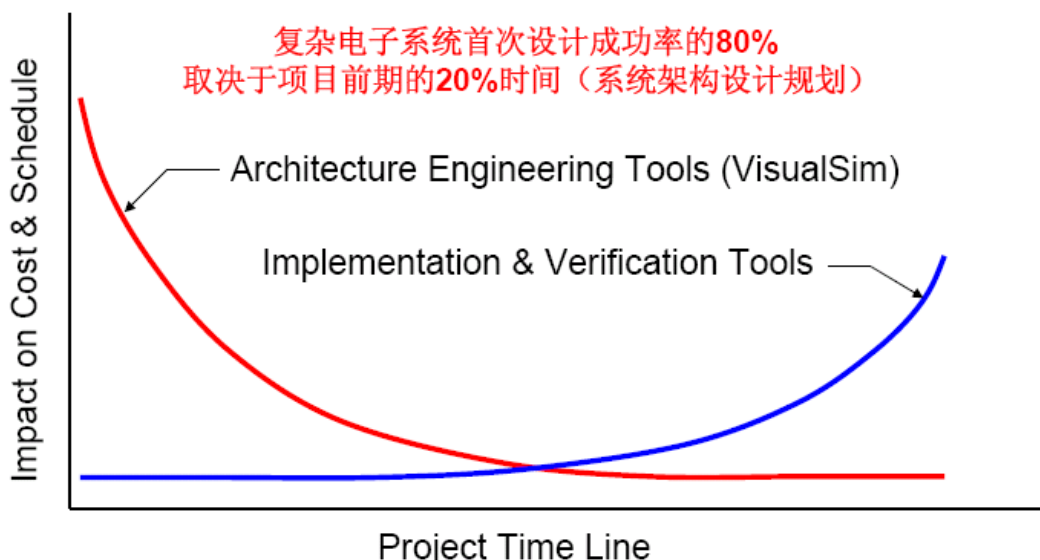




## 电子产品架构设计、性能仿真分析 系统解决方案 - VisualSim®

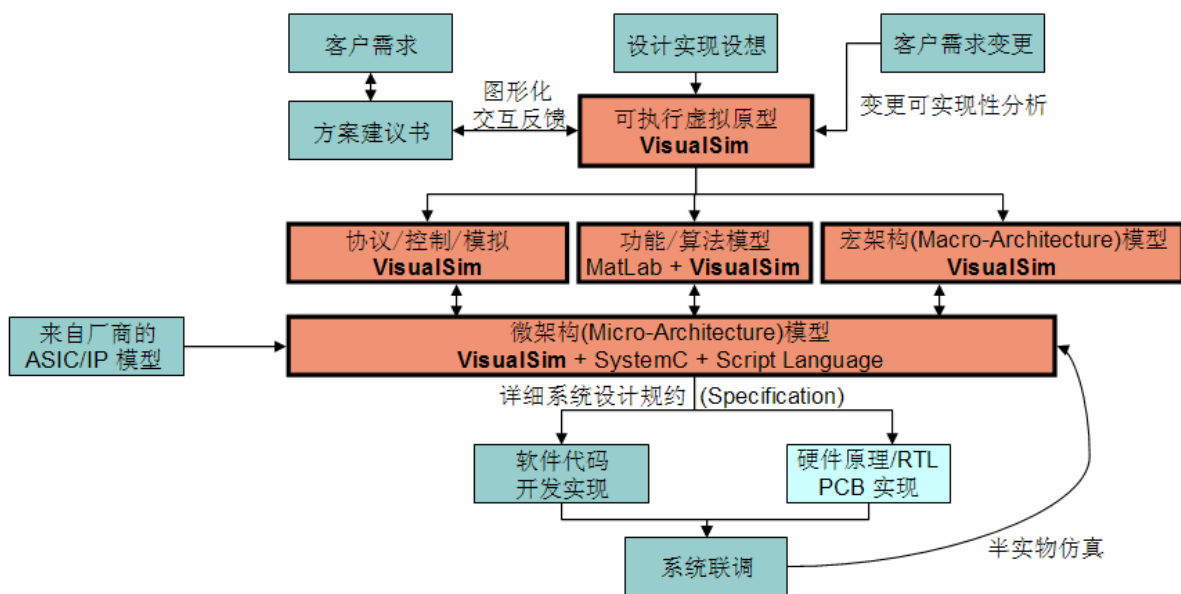
Mirabilis Design公司是业界领先的复杂电子系统与嵌入式软件性能分析和架构设计工具提供商，其产品VisualSim®是一款基于加州伯克利大学Ptolemy仿真内核的软件环境，能够同时支持数字、模拟、DSP及嵌入式软件等系统部件的建模与仿真。VisualSim®专有的快速虚拟原型可使设计团队在项目开发早期即对系统的架构、性能、成本、功耗等指标进行研究，并对设计方案进行评价。VisualSim®软件能够发布系统模型的Applet版本，这些模型包含了设计规约（Specification），并能在普通的Web浏览器或Word文档中查看和执行。借助Architecture Generators和SmartBlocks等VisualSim®的革命性技术，能够快速创建系统模型，并执行系统层次的软硬件体系结构的“What if”分析。

EDA技术经过了二十几年的发展，针对电子设计流程中某一专门领域的设计验证工具（如FPGA、DSP设计或PCB设计）已经发展得相当成熟，自动化程度越来越高，使用也变得越来越简便快捷。但与此形成对比的是，对于通信、多媒体处理等领域的复杂电子产品或ASIC设计，由于可选择的芯片或IP以及相关系统实现方案越来越多、可能的设计约束条件（实时性、功耗、成本与物理尺寸等）越来越苛刻，项目开发团队开始体验到首次设计硬件、软件（原型设计）交付后测试失败的痛苦。系统设计师开始把更多的注意力放在电子系统设计的方法学上面，寻求真正面向电子系统总体设计的EDA工具、为复杂电子系统的体系结构设计提供科学有效的手段。



Mirabilis Design公司的VisualSim®是业界首个专门用于复杂电子系统架构设计和性能分析的电子系统级（ESL）建模仿真工具。借助VisualSim®的快速虚拟原型开发技术，设计团队在项目开发的最初阶段即可以对一个复杂电子系统的不同硬件、软件实现方案进行快速性能仿真分析和研究评价，验证和优化设计设想，以确定可以满足全部约束条件的最优系统实现结构方案。

与MATLAB/Simulink、SPW等用于算法模型仿真和分析、选择的系统级设计工具不同，VisualSim®把关注的焦点放在对算法、协议、数据流和控制流等系统行为的实现架构的建模上。对于初步设定的系统硬件处理平台与外设结构、软件算法流程调度、高速数据存储与交换方案、网络协议等，VisualSim®可以帮助系统工程师回答如下的问题：该实现平台方案是否能够满足全部的系统设计需求？实时处理采用何种硬件/软件划分结构来实现最为有效？采用何种类型、数量的硬件资源（处理器/DSP、ASIC/FPGA、高速存储器等）可以“恰当”地满足功能需要？软件任务调度算法如何与硬件资源进行合理匹配？高速数据流通道等采用何种总线形式或DMA模式传输更为高效？等类似传统系统设计工具无法解答的问题。

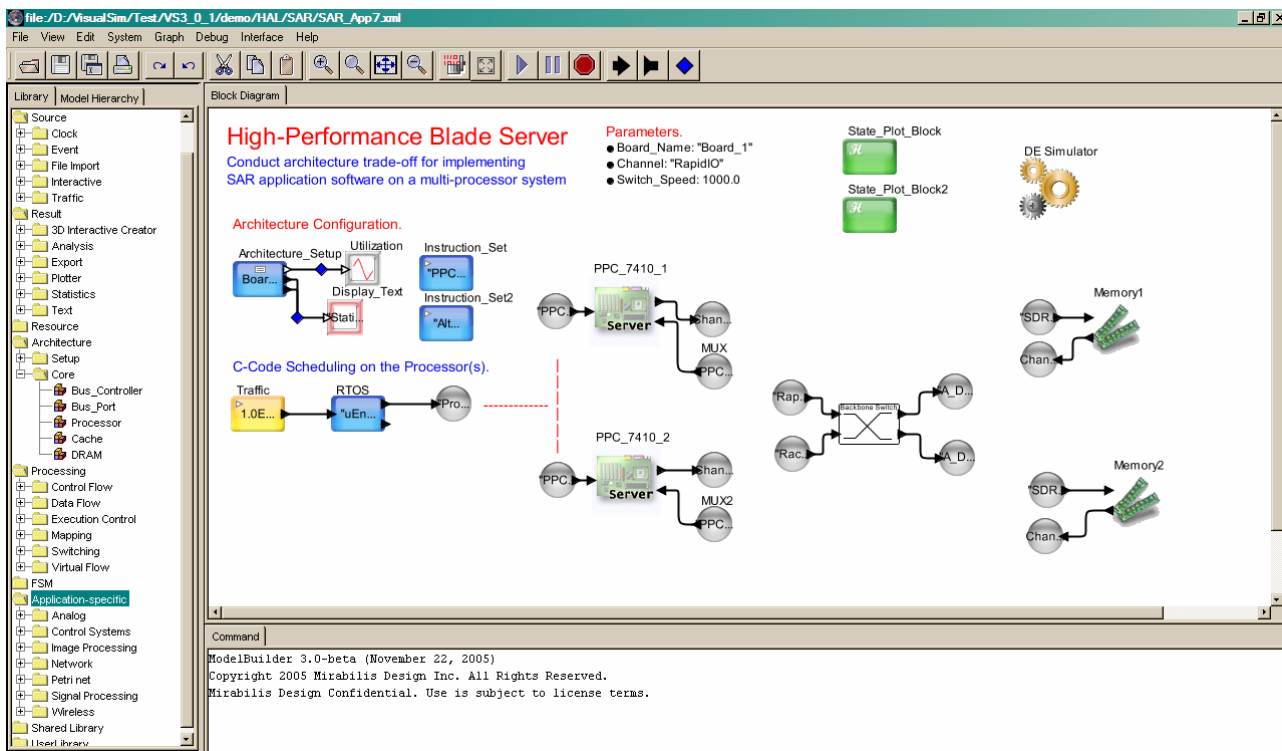


VisualSim®的方法学是：将更多的时间用于设计、分析不同的系统实现模型，而不是用于进行模型编码。在全图形化的环境中，VisualSim®独特的参数化模块库能够快速把设计功能抽象映射为各种系统实现结构、并据此进行事务级（Transaction Level）或时钟精度的仿真分析，得到系统的数据处理输出延时（Latency）、处理器利用率、总线冲突情况与总线利用率、多处理器任务分配平衡、缓冲需求、功耗等的性能指标。设计团队进而可以据此来设计、评价和选择不同的平台方案，而所有这些工作都是在实际硬件交付前就通过VisualSim® 虚拟原型模型实现的。

作为一款业界领先的动态系统架构建模与性能仿真分析工具，VisualSim®专注于加速系统建模与仿真，IP复用和可执行模型的生成。VisualSim®具有完全集成的图形化软件环境，支持多种

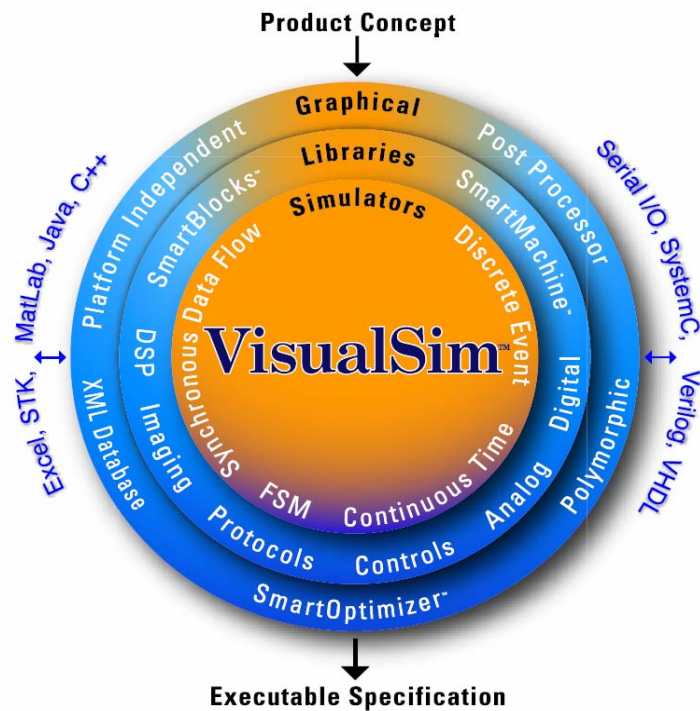
运行平台。由于采用了基于伯克利大学Ptolemy框架的多域仿真器，VisualSim®能够同时支持模拟、数字、控制状态机和同步数据流等不同领域系统部件的仿真。同时，符合OSCI规范的SystemC v2.1仿真器已经包含在VisualSim标准产品包中。

VisualSim®提供的硬件架构模型生成器（Hardware Architecture Generators）工具包允许工程师快速对各种嵌入式处理器（PowerPC, ARM, DSP等）及Cache、高速存储器（SDR/DDR RAM等）、总线、DMA、RTOS线程调度等外设结构进行参数化模板建模。参数化处理器模型支持多级流水、多并发处理单元的指令集仿真且具有时钟周期级的仿真精度。



VisualSim®提供丰富的标准应用程序接口，支持与MATLAB、STK及VHDL/Verilog仿真器的协同仿真（Co-Simulation）。VisualSim®包含允许客户直接导入已存在的SystemC模型而，充分保护客户以往的设计投资，同时提供一个SC\_Module模板生成器，可以直接生成具有全部所需端口定义和参数的SystemC模块框架文件。

Mirabilis Design公司具有超过 100 人年（man-year）的系统建模与仿真经验，VisualSim®的设计理念是要帮助系统设计团队摆脱传统的系统结构设计模式：基于既往经验的模糊判断和讨论，或者是简单的采用超裕量设计（Over-design）。通过图形化和可执行文档相结合的架构建模和仿真，VisualSim®即可以实现对既往系统架构设计成功经验的复用，又可以实现项目前期阶段的系统架构设计与研究，为后续的具体设计实现提供更准确、更易于理解的可执行设计规约。

**产品:**

- ✓ **Visual Architect**  
用于建立系统行为流程、实现架构模型和仿真分析的完整工具包。
- ✓ **Visual Explorer**  
用于在 Web 浏览器上发布可供察看和执行的 VisualSim 仿真模型的服务器端软件。

**功能:**

- ◆ 硬件平台架构研究;
- ◆ 嵌入式软件结构和性能分析;
- ◆ 系统执行性能、功耗分析;
- ◆ 硬件软件实现划分分析;
- ◆ 算法、协议实现验证。

**优势:**

- ◆ 图形化的建模环境，快速的模型开发与表示方法，缩短建模时间;
- ◆ 用于仿真控制、模拟、数字、DSP 处理和协议等的各类仿真计算模型集成于统一的仿真内核中;
- ◆ 行为描述到实现结构的动态映射;
- ◆ 复杂模型的分层次定义，易于理解与复用;
- ◆ 完备的统计、分析能力。

**建模特征:**

- ◆ 行为描述与实现架构分离，方便动态映射;
- ◆ 完整的队列、性能和架构建模库。用于对处理器、指令集、流水线、高速缓冲、存储器、

控制器、总线、DMA、RTOS 调度等进行快速建模；

- ◆ 通过模型库与专用脚本语言在最适宜的抽象层次上进行系统建模；
- ◆ 模型可重用性强。

#### 接口与扩展：

- ◆ 完全 SystemC 支持；
- ◆ 基于 Tcl 语言的模型创建、仿真控制和分析；
- ◆ 使用 Java / C++ 扩展模型库；
- ◆ 与 MATLAB、STK 无缝连接；
- ◆ 与 VHDL/Verilog 仿真器协同仿真接口。

#### 用户定位：

- ◆ 系统工程师；
- ◆ 系统架构 / ASIC 架构设计师；
- ◆ 嵌入式软件、算法开发工程师；
- ◆ 协议设计工程师；
- ◆ 项目经理。