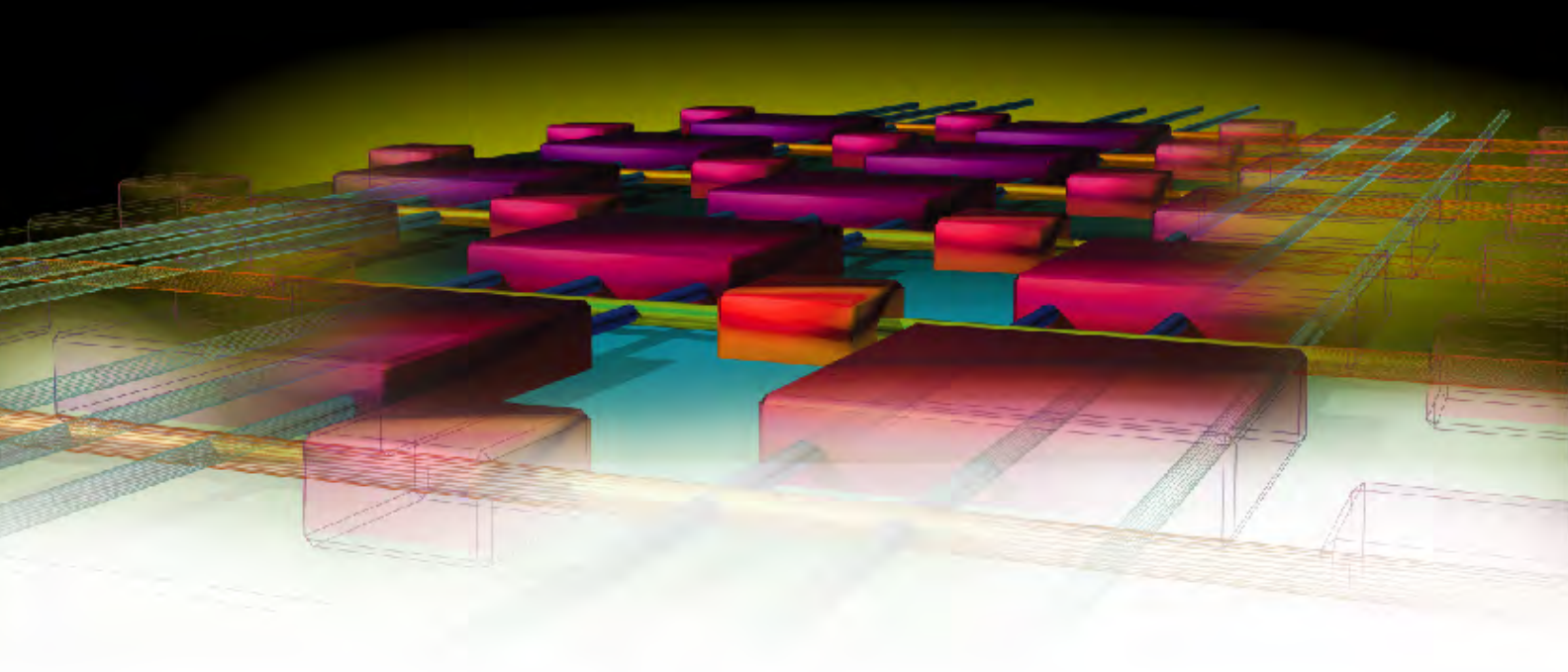


加速 FPGA 选择和系统设计的架构探索

你可以产生达到性能、可靠性和成本目标的最佳指标，并用于生产系统中。



作者：Deepak Shankar
总裁和CEO
Mirabilis Design Inc.

性能分析和早期的架构探索研究，可以确保你选择合适的FPGA平台，在结构和软件方面实现应用的最佳划分分配。这种早期探索称为快速可视原型。借助在图形化环境中使用预组建、参数化的建模库及快速开发的模型，Mirabilis Design的VisualSim软件模拟FPGA和电路板。

这些库模型代表Xilinx® FPGA中可以获得元件，包括PowerPC™、MicroBlaze™ 和 PicoBlaze™ 处理器、CoreConnect、DMA、中断控制器、DDR、块RAM、LUT、DSP48E；逻辑运算符和结构器件。将这些元件连接起来，就能描述一个给定的Xilinx Virtex平台；并模拟不同的工作状态如通信量、用户行为和操作环境。

标准分析输出有200多种，包括等待时间延时、利用率、吞吐量、命中率、状

态行为、上下文交换切换、功耗和处理器的停止。通过将典型模型的开发时间从几个月减少到几天，VisualSim加速了对架构的探索。

我可以来自用户的一个实例，来说明早期架构探索的优势。我们的用户在使用Virtex™ 4 器件实现一个流媒体处理器时，遇到了困难。设计不能得到达到要求的性能，每次都丢失第3帧。所有单个器件的利用率都低于50%。将外设和FPGA组合起来进行的可视模拟，表明视频帧和音频帧在一个共享的内部总线上以相同的同步时钟传送。

由于这个项目处于开发阶段的最后阶段，通过改变架构来解决问题的话，会将发货时间延后6个月。通过对VisualSim模型的更进一步的详细分析，发现给音频帧提供更高的优先权，就可以使设计实现要求的性能，这样，音频帧也可以被正确处理。这个项目比原计划推迟了大约一个月。

如果在设计周期的早期，对架构进行

建模，可以将设计周期缩短3个月，也并且不需要一个半月的重新设计时间，这样的话，上市时间可以快近缩短5个月。而且，在50%的利用率下，可以将控制处理也移植装入到同一个FPGA中进行。这样修改后，可以节省一个外部处理器、一个DDR控制器和一个的存储器板。

快速可视原型设计

快速可视原型设计可以帮助你做出更好的划分决定。使用性能和架构模型进行评价，可以消除明显的低劣选择，指出主要的问题区域，并均衡评估硬件/软件。模拟比组建硬件原型更快、更便宜，并对软件开发、调试、测试、文件编制和维护有帮助。而且，使用早期的原型与用户进行合作，增强了对设计决定的反馈，缩短了产品的上市时间，增强了产品成功的可能性（图1）。

设计级的指标采用新型或增量方法来改善系统的吞吐量、功率、等待时间延时、利用率和成本；这些改进特别是价格

线,有效总线吞吐量是数据请求和本地块 RAM 缓冲器容量的函数。例如,你可以使用一个协处理器来增强 MicroBlaze 处理器的性能,实现比特级的加密。你也可以使用 CoreConnect 总线,将外设 SDRAM 和 PowerPC 连接,同时将 DDR2 用于 MicroBlaze 处理器。

在探索软件设计时,识别资源消耗大的线程、通过多个 MicroBlaze 处理器来平衡负载、将操作划分为更小的线程,你可以重新使用 VisualSim 的架构模型。如果新的软件任务或线程具有基于数据的优先权,对优先权和任务到达时间对整个处理产生的影响进行探索,就是主要的建模问题。如果你改变关键任务的优先权,那么,这足以提高吞吐量和减少任务的延时吗?在大多数情况下,这是正确的,但可能一个关键任务比较合适的某个时间设置,能以更低的优先权来缩短任务的等待时间,从而使二者都从这个新的次序中获益。如果系统处理元件的峰值处理高于 80%,那么,系统可能难以完成最后再增加的任务,或者对系统自身未来的拓展不利。

模型的构建

Layer 3 交换(图 3)的系统建模从编译函数列表(与执行独立) 预计的处理时间、资源的消耗和系统性能衡量开始。接下来的一步是使用图形框图编辑器(图 3),在 VisualSim 中记录流程图。流程图是 UML 图,标注有时序信息。流程中的函数用延迟表示,定时的排队代表争用,算法处理数据的移动。流程图包括数据处理、控制和相关的关系。

数据流包括流程和通信量管理、加密、压缩、路由、代理规则和 TCP 协议的处理。控制通道包括控制器算法、分支决策树和加权查询规定。VisualSim 构建一些情景来模拟模型并产生统计信息。这些情景是多种同时发生的数据流如连接的建立(慢通道) 安全通道建立后内嵌数据的传送(快通道) 基于数据类型或协议识别的特定数据的操作序列。

你可以将这个定时流程图的模型用于检查函数的正误和流程是否有效。VisualSim 使用随机通信量序列来触发模型。通信量序列在 VisualSim 中被定义为数据结构,一个通信量发生器模拟特定应

用的通信量。这个时控的流程图选择 FPGA 平台,进行最初的硬件和软件分配。流程图模型使用 FPGA 建模工具包,决定了 FPGA 和外设硬件。

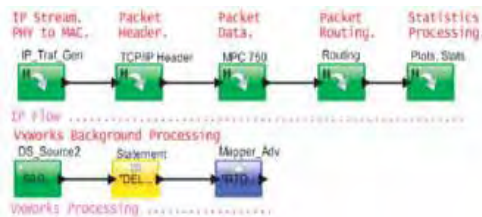


图3 - VisualSim 中描述应用流程框图的流程图

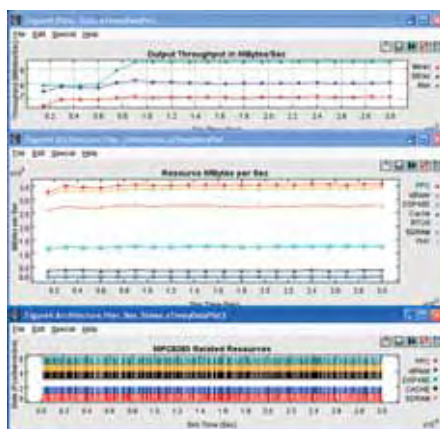


图4 - Layer 3 开关设计的输出分析

流程图的函数被映射到这些架构元件上。对每个函数,VisualSim 自动收集端到端延迟和一个时间周期中处理的信息包的数量。对架构,VisualSim 绘制出平均处理时间、利用率和有效的吞吐量(图4)。

将这些设置与要求进行匹配。通过改变链接并使用其它 FPGA 替代已选择的 FPGA,可以实现对架构和映射的探索。由此获得的结果,就可以选择合适的 FPGA 系列、正确规定外设的尺寸、确定块 RAM、DSP 块和 MicroBlaze 处理器的合适数目。你可以为模型增加系统开销,以满足需求的增长并确保有适当的性能。

结论

早期的架构探索确保了高度优化产品

的质量、可靠性、性能和成本。为执行计划提供了指导,减少了所需要进行的测试数量,可以将开发周期缩短近30%。

VisualSim的标准FPGA元件库、规定工作行为的流程图、通信量模型和预组建的分析探针,使系统设计不再是费时、难以进行、结果存在很多问题的的工作。由于缩短了系统的建模时间以及提供了标准元件模型,为设计者提供了探索硬件和软件架构的单一环境。

为了获得免费试用21天的FPGA建模工具包,这个工具包还包括MicroBlaze 和PowerPC模型,请在

http://www.mirabilisdesign.com/webpages/evaluation/mdi_evaluation.htm .进行注册。了解VisualSim方面的更多信息,请访问www.mirabilisdesign.com,在HTML页中有模型。你可以修改参数,并在网页浏览器中执行,不需要下载定制软件。